

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-223719

(43)公開日 平成9年(1997)8月26日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S
23/12			23/12	3 1 1 R
				P
				L

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21)出願番号 特願平8-27532

(22)出願日 平成8年(1996)2月15日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 松永 速

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 岩田 雅男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 末廣 芳和

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

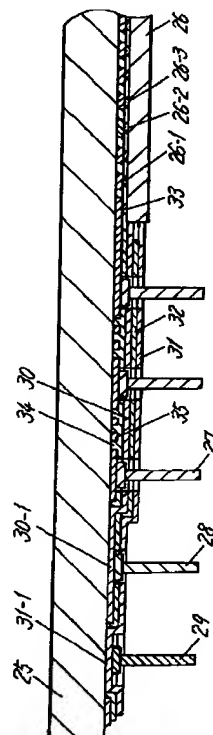
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 コンデンサを搭載する半導体装置において、大きい静電容量が得られ、幅広い帯域での高周波ノイズを吸収することができる半導体装置を提供することにある。

【解決手段】 ICダイ26が実装された基板25上に面状導電体30、31で誘電体32を挟んで形成したコンデンサを構成し、このコンデンサの各面状導電体をICダイ26の電源用ボンディングパッド26-2と接地用ボンディングパッド26-3に夫々接続し、バイパスコンデンサとして機能させるようにした。



## 【特許請求の範囲】

【請求項1】 複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子とを有する基板と、この基板に面実装され、上記基板に設けた配線パターンに夫々接続された複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有する少なくとも一つのICダイと、少なくとも一つの第一と第二の面状導電体で誘電体を挟んで形成され上記基板に配設されたコンデンサを備え、前記第一と第二の面状導電体は面状の一部に夫々端子を設け、前記電源端子と前記第一の面状導電体の端子と前記ICダイの電源用ボンディングパッドを接続し、前記ICダイの接地用ボンディングパッドと前記第二の面状導電体の端子と前記接地端子を接続した半導体装置。

【請求項2】 基板両面を導通する複数のスルーホールを備えた基板と、該基板の一方の面に面実装され、上記基板に設けた配線パターンに夫々ボンディングパッドが接続された少なくとも一つのICダイと、該基板の他方の面に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子と、該端子とスルーホールを除く上記基板の空き領域に配設され、少なくとも一つの第一と第二の面状導電体で誘電体を挟んで形成したコンデンサを備え、前記第一と第二の面状導電体は面状の一部に夫々端子を設け、該基板に設けた電源端子は第一の面状導電体の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの電源用ボンディングパッドに接続する配線パターンを接続し、該基板に設けた接地端子は第二の面状導電体の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの接地用ボンディングパッドに接続する配線パターンを接続した半導体装置。

【請求項3】 基板両面を導通する複数のスルーホールを備えた基板と、該基板の一方の面に前記スルーホールを除く空き領域に少なくとも一つの第一と第二の面状導電体で誘電体を挟んで形成され、前記第一と第二の面状導電体の面状の一部に夫々端子を設けたコンデンサと、該基板の他方の面に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子と、上記基板の他方の面に実装され、上記基板の他方の面に設けたボンディングパッドに接続する配線パターンに接続された少なくとも一つのICダイを備え、該基板に設けた電源端子は前記ICダイの電源用ボンディングパッドに接続する配線パターンと前記基板に設けたスルーホールを介して前記コンデンサの第一の面状導電体の端子と接続し、該基板に設けた接地端子は前記ICダイの接地用ボンディングパッドに接続する配線パターンと前記基板に設けたスルーホールを介して前記コンデンサの第二の面状導電体の端子と接続した半導体装置。

【請求項4】 基板に設けた信号入出力端子と電源端子

と接地端子は、夫々球形状で、格子状に配置したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 基板に設けた信号入出力端子と電源端子と接地端子は、夫々ピン形状で、格子状に配置したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項6】 コンデンサは、基板に印刷により形成したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項7】 基板と、この基板上に配設され、面状の一部に夫々端子を有する第一と第二の面状導電体で誘電体を挟んで形成した少なくとも一つのコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と該第一と第二の信号入出力端子を接続する配線パターンと少なくとも一つの第一の電源端子と少なくとも一つの第二の電源端子と少なくとも一つの第三の電源端子と該第一と第二と第三の電源端子を接続する配線パターンと少なくとも一つの第一の接地端子と少なくとも一つの第二の接地端子と少なくとも一つの第三の接地端子と該第一と第二と第三の接地端子を接続する配線パターンとを有し、複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有するICダイを開口部を有するキャリアフィルムに設けた第二の信号入出力端子は前記ICダイの信号入出力用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の電源端子は前記ICダイの電源用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の接地端子は前記ICダイの接地用ボンディングパッドに接続し、該キャリアフィルムに設けた第三の電源端子は前記第一の面状導電体の端子と接続し、第三の接地端子は前記第二の面状導電体の端子と接続した半導体装置。

【請求項8】 第一の信号入出力端子と第一の電源端子と第一の接地端子は、夫々板形状にした請求項7記載の半導体装置。

【請求項9】 第一の信号入出力端子と第一の電源端子と第一の接地端子は、夫々球形状で、格子状に配置した請求項7記載の半導体装置。

【請求項10】 第一の信号入出力端子と第一の電源端子と第一の接地端子は、夫々ピン形状で、格子状に配置した請求項7記載の半導体装置。

【請求項11】 補強板により補強された基板と、この基板上に配設され、面状の一部に夫々端子を有する第一と第二の面状導電体で誘電体を挟んで形成した少なくとも一つのコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と該第一と第二の信号入出力端子を接続する

配線パターンと少なくとも一つの第一の電源端子と少なくとも一つの第二の電源端子と少なくとも一つの第三の電源端子と該第一と第二と第三の電源端子を接続する配線パターンと少なくとも一つの第一の接地端子と少なくとも一つの第二の接地端子と少なくとも一つの第三の接地端子と該第一と第二と第三の接地端子を接続する配線パターンとを有し、複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有するICダイを開口部を有するキャリアフィルムの該開口部に少なくとも一つ実装したTABパッケージを備え、該キャリアフィルムに設けた第二の信号入出力端子は前記ICダイの信号入出力用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の電源端子は前記ICダイの電源用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の接地端子は前記ICダイの接地用ボンディングパッドに接続し、該キャリアフィルムに設けた第三の電源端子は前記第一の面状導電体の端子と接続し、第三の接地端子は前記第二の面状導電体の端子と接続し、前記補強板と前記TABパッケージで前記基板に配設したコンデンサを挟んで配置した半導体装置。

【請求項12】 補強板を金属にした請求項11に記載の半導体装置。

【請求項13】 補強板をアルミニウムにするとともに、該アルミニウムの表面をアルマイト処理した請求項11に記載の半導体装置。

【請求項14】 コンデンサを補強板に印刷により形成した請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速動作をするマイクロプロセッサ等のコンデンサを内蔵した半導体装置に関するものである。

【0002】

【従来の技術】図6は従来の高速マイクロプロセッサ用ピングリッドアレイ形セラミックパッケージの斜視図である。図6において、1は端子であり、2は端子1を格子状に配したパッケージベースであり、3は面実装型の積層セラミックコンデンサ（以降、チップコンデンサと呼ぶ）であり、4は放熱器である。図6には図示されないが、マイクロプロセッサのダイはパッケージベース2に内蔵され、格子状に配置された端子1に接続されており、動作時の発熱を放熱器4によって冷却している。パッケージベース2に実装したチップコンデンサ3の両極の端子はマイクロプロセッサの少なくとも一つの電源端子と接地端子に夫々接続されるとともに端子1にも接続されている。

【0003】図7は、特開昭63-239970号公報に記載の半導体装置の断面図である。図7において、5はICのダイであり、6はICの回路形成面であり、7

はダイ内部の電源配線であり、8はダイ内部の接地配線である。9、10はポリイミド系樹脂膜であり、11、12、13はスルーホールであり、14、15は電極金属層であり、16は金属層であり、17、18、19は接続部である。電極金属層14、15をポリイミド系樹脂膜10を介して対向させたコンデンサをポリイミド系樹脂膜9の絶縁層を介してICの回路形成面6の上に形成したもので、電極金属層14は接続部17を介してダイ内部の電源配線7に、電極金属層15は接続部18、19を介してダイ内部の接地配線8に夫々接続したコンデンサである。

【0004】

【発明が解決しようとする課題】コンピュータを高速化するには、通常、バスクロックを高速化するとともにマイクロプロセッサの内部クロック周波数を高くする。この場合、マイクロプロセッサの消費電力が増加し、マイクロプロセッサが過熱するだけでなく高周波ノイズが電源電圧に重畳してマイクロプロセッサを誤動作させるという問題を有していた。

【0005】そのため、従来は図6のようにパッケージベースに多数のチップコンデンサを実装したり、図7のようにICダイの回路形成面6の上にコンデンサを形成する方法が提案されている。しかしながら、図6の場合は多数のチップコンデンサを実装する煩雑な工数がかかり、図7の場合はコンデンサの静電容量値がICダイのサイズに制約されるという問題があった。

【0006】本発明は、このような従来の問題を解決するものであり、大きい静電容量が得られ、幅広い高周波ノイズを吸収することができる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の課題を解決するため、本発明の半導体装置は、ICダイが実装される基板に二つの電極で誘電体を挟んだコンデンサを少なくとも2つ以上形成し、該各コンデンサの各電極をICダイの電源パッドと接地パッドに夫々接続したものである。従って、該コンデンサは幅広い電極面積で構成できるので大きな静電容量が得られ、幅広い高周波ノイズを吸収するバイパスコンデンサとして機能するものである。

【0008】

【発明の実施の形態】本発明の請求項1に記載の発明は、複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子とを有する基板と、この基板に面実装され、上記基板に設けた配線パターンに夫々接続された複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有する少なくとも一つのICダイと、少なくとも一つの第一と第二の面状導電体で誘電体を挟んで形成され上記基板に配設されたコンデンサを備え、前記第一と第二の面状導電体は面状の

一部に夫々端子を設け、前記電源端子と前記第一の面状導電体の端子と前記ICダイの電源用ボンディングパッドを接続し、前記ICダイの接地用ボンディングパッドと前記第二の面状導電体の端子と前記接地端子を接続した半導体装置であり、誘電体を面状導電体で挟んで重ね合わせることでコンデンサを構成し、該コンデンサを電源端子とICダイの電源用ボンディングパッドを接続する配線パターンと、接地端子とICダイの接地用ボンディングパッドを接続する配線パターンの間に配置接続して電源電圧に重畳するノイズをバイパスさせるという作用を有する。

【0009】本発明の請求項2に記載の発明は、基板両面を導通する複数のスルーホールを備えた基板と、該基板の一方の面に面実装され、上記基板に設けた配線パターンに夫々ボンディングパッドが接続された少なくとも一つのICダイと、該基板の他方の面に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子と、該端子とスルーホールを除く上記基板の空き領域に配設され、少なくとも一つの第一と第二の面状導電体で誘電体を挟んで形成したコンデンサを備え、前記第一と第二の面状導電体は面状の一部に夫々端子を設け、該基板に設けた電源端子は第一の面状導電体の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの電源用ボンディングパッドに接続する配線パターンを接続し、該基板に設けた接地端子は第二の面状導電体の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの接地用ボンディングパッドに接続する配線パターンを接続した半導体装置であり、誘電体を面状導電体で挟んで重ね合わせて構成したコンデンサの裏面にICダイを配置

することで広い面状導電体を形成でき、請求項1よりも大きな静電容量でノイズ吸収をさせるという作用を有する。

【0010】本発明の請求項3に記載の発明は、基板両面を導通する複数のスルーホールを備えた基板と、該基板の一方の面に前記スルーホールを除く空き領域に少なくとも一つの第一と第二の面状導電体で誘電体を挟んで形成され、前記第一と第二の面状導電体の面状の一部に夫々端子を設けたコンデンサと、該基板の他方の面に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子と、上記基板の他方の面に実装され、上記基板の他方の面に配線パターンに接続された少なくとも一つのICダイを備え、該基板に設けた電源端子は前記ICダイの電源用ボンディングパッドに接続する配線パターンと前記基板に設けたスルーホールを介して前記コンデンサの第一の面状導電体の端子と接続し、該基板に設けた接地端子は前記ICダイの接地用ボンディングパッドに接続する配線パターンと前記基板に設けたスルーホールを介して前記コンデンサの第二の面状導電体の端子と接続した半導体装置であり、誘電体

を面状導電体で挟んで重ね合わせて構成したコンデンサの裏面に端子とICダイを配置することで広い面状導電体を形成でき、請求項2よりも大きな静電容量でノイズ吸収をさせるという作用を有する。

【0011】本発明の請求項4に記載の発明は、請求項1～3のいずれかに記載の半導体装置において、基板に設けた信号入出力端子と電源端子と接地端子の夫々を球形状で、格子状に配置したものであり、面実装を可能にするという作用を有する。

【0012】本発明の請求項5に記載の発明は、請求項1～3のいずれかに記載の半導体装置において、基板に設けた信号入出力端子と電源端子と接地端子の夫々をピン形状で、格子状に配置したものであり、ソケット実装を可能にするという作用を有する。

【0013】本発明の請求項6に記載の発明は、請求項1～3のいずれかに記載の半導体装置において、コンデンサを基板に印刷で形成したものであり、生産効率に優れるという作用を有する。

【0014】本発明の請求項7に記載の発明は、基板と、この基板上に配設され、面状の一部に夫々端子を有する第一と第二の面状導電体で誘電体を挟んで形成した少なくとも一つのコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と該第一と第二の信号入出力端子を接続する配線パターンと少なくとも一つの第一の電源端子と少なくとも一つの第二の電源端子と少なくとも一つの第三の電源端子と該第一と第二と第三の電源端子を接続する配線パターンと少なくとも一つの第一の接地端子と少なくとも一つの第二の接地端子と少なくとも一つの第三の接地端子と該第一と第二と第三の接地端子を接続する配線パターンとを有し、複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有するICダイを開口部を有するキャリアフィルムに該開口部に少なくとも一つ実装したTABパッケージを備え、該キャリアフィルムに設けた第二の信号入出力端子は前記ICダイの信号入出力用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の電源端子は前記ICダイの電源用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の接地端子は前記ICダイの接地用ボンディングパッドに接続し、該キャリアフィルムに設けた第三の電源端子は前記第一の面状導電体の端子と接続し、第三の接地端子は前記第二の面状導電体の端子と接続した半導体装置であり、大きな静電容量でノイズ吸収をさせると共に、マイクロストリップ構造の配線で信号配線の帯域が広いという作用を有する。

【0015】本発明の請求項8に記載の発明は、請求項7記載の半導体装置において、第一の信号入出力端子と第一の電源端子と第一の接地端子の夫々を板形状にしたものであり、面実装を可能にするという作用を有する。

【0016】本発明の請求項 9 に記載の発明は、請求項 7 記載の半導体装置において、第一の信号入出力端子と第一の電源端子と第一の接地端子の夫々を球形状で、格子状に配置したものであり、小形面実装を可能にするという作用を有する。

【0017】本発明の請求項 10 に記載の発明は、請求項 7 記載の半導体装置において、第一の信号入出力端子と第一の電源端子と第一の接地端子の夫々をピン形状で、格子状に配置したものであり、ソケット実装を可能にするという作用を有する。

【0018】本発明の請求項 11 に記載の発明は、補強板により補強された基板と、この基板上に配設され、面状の一部に夫々端子を有する第一と第二の面状導電体で誘電体を挟んで形成した少なくとも一つのコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と該第一と第二の信号入出力端子を接続する配線パターンと少なくとも一つの第一の電源端子と少なくとも一つの第二の電源端子と少なくとも一つの第三の電源端子と該第一と第二と第三の電源端子を接続する配線パターンと少なくとも一つの第一の接地端子と少なくとも一つの第二の接地端子と少なくとも一つの第三の接地端子と該第一と第二と第三の接地端子を接続する配線パターンとを有し、複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有する IC ダイを開口部を有するキャリアフィルムの該開口部に少なくとも一つ実装した TAB パッケージを備え、該キャリアフィルムに設けた第二の信号入出力端子は前記 IC ダイの信号入出力用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の電源端子は前記 IC ダイの電源用ボンディングパッドに接続し、該キャリアフィルムに設けた第二の接地端子は前記 IC ダイの接地用ボンディングパッドに接続し、該キャリアフィルムに設けた第三の電源端子は前記第一の面状導電体の端子と接続し、第三の接地端子は前記第二の面状導電体の端子と接続し、前記補強板と前記 TAB パッケージで前記基板に配設したコンデンサを挟んで配置した半導体装置であり、形状が安定化するという作用を有する。

【0019】本発明の請求項 12 に記載の発明は、請求項 11 に記載の半導体装置において、補強板を金属にしたものであり、放熱性に優れるという作用を有する。

【0020】本発明の請求項 13 に記載の発明は、請求項 11 に記載の半導体装置において、補強板をアルミニウムにするるとともに、該アルミニウムの表面をアルマイト処理したものであり、放熱性に優れるという作用を有する。

【0021】本発明の請求項 14 に記載の発明は、請求項 11 に記載の半導体装置において、コンデンサを補強板に印刷して形成したものであり、生産効率に優れると

いう作用を有する。

【0022】図 1 は本発明の第 1 の実施形態によるピングリッドアレイ形パッケージの断面図である。図 1 において、25 は基板であり、26 は IC ダイであり、27 は信号入出力端子（本実施形態では便宜上、信号入力端子、信号出力端子、信号入出力端子を含めて信号入出力端子と呼ぶ）であり、28 は電源端子であり、29 は接地端子であり、夫々端子 27、28、29 はピン形状をしている。30 は第一の面状導電体であり、31 は第二の面状導電体であり、32 は誘電体であり、第一、第二の面状導電体 30、31 間に誘電体 32 を挟んでコンデンサを形成している。33 は IC ダイ 26 に設けたボンディングパッドとしてのバンプであり、34 は絶縁層であり、35 は配線パターンである。

【0023】基板 25 はセラミック、ガラス、エポキシ等の樹脂材料を板状に形成したものであり、絶縁層 34 はエポキシ、マイラー、ポリイミド等の有機系絶縁材料を印刷等で形成したものである。配線パターン 35 は基板 25 にエポキシ等の樹脂材料を用いた場合は該基板材料と銅箔をラミネートした積層基板をエッチングして形成される。他に、配線パターン 35 は銀や銅を混練した導電インキを印刷したものや、蒸着やスパッタ等で形成したものであり、第一及び第二の面状導電体 30、31 は銀や銅を混練した導電インキを印刷したものや、蒸着やスパッタ等で形成したものであり、誘電体 32 はエポキシ、マイラー、ポリイミド等の有機材料やチタン酸バリウム、チタン酸鉛等の無機材料を印刷して形成したものである。

【0024】本例の半導体装置は、複数の信号入出力端子 27 と少なくとも一つの電源端子 28 と少なくとも一つの接地端子 29 とを有する基板 25 と、この基板 25 に面実装され、上記基板に設けた配線パターン 35 に夫々接続された複数の信号入出力用ボンディングパッド 26-1 と少なくとも一つの電源用ボンディングパッド 26-2 と少なくとも一つの接地用ボンディングパッド 26-3 を有する少なくとも一つの IC ダイ 26 と、少なくとも一つの第一の面状導電体 30 と第二の面状導電体 31 で誘電体 32 を挟んで形成され上記基板 25 に絶縁層 34 を介して配設されたコンデンサを備えている。前記第一の面状導電体 30 と第二の面状導電体 31 は面状の一部に夫々端子 30-1、31-1 を設け、前記電源端子 28 と前記第一の面状導電体の端子 30-1 と前記 IC ダイの電源用ボンディングパッド 26-2 を接続し、前記 IC ダイの接地用ボンディングパッド 26-3 と前記第二の面状導電体の端子 31-1 と前記接地端子 29 を接続している。

【0025】このように誘電体 32 を面状導電体 30、31 で挟んで重ね合わせて構成したコンデンサの第一の面状導電体 30 の端子 30-1 を電源端子 28 と IC ダイの電源用ボンディングパッド 26-2 とを接続する配

線パターンに接続し、前記コンデンサの第二の面状導電体3の端子31-1を接地端子29とICダイの接地用ボンディングパッド26-3とを接続する配線パターンに接続してバイパスコンデンサとしたものである。従って、電源電圧に重畳する高周波ノイズをICダイ近傍でバイパスさせることができる。

【0026】図7の従来例のように狭い面積のICダイ回路形成面上ではなく、広い面積の基板表面にコンデンサを形成できるため、大きな静電容量のバイパスコンデンサや、マイクロプロセッサ等のような複数の電源用ボンディングパッドと接地用ボンディングパッドを備えたICダイの夫々の電源用ボンディングパッドと接地用ボンディングパッドの間に該コンデンサを夫々配置形成することができる。

【0027】図2は本発明の第2の実施形態によるボールグリッドアレイ形パッケージの断面図である。図2において、25は基板であり、26はICダイであり、27は信号入出力端子であり、28は電源端子であり、29は接地端子であり、夫々端子27、28、29は球形状をしている。30は第一の面状導電体であり、31は第二の面状導電体であり、32は誘電体であり、第一、第二の面状導電体30、31間に誘電体32を挟んでコンデンサを構成している。33はICダイ26に設けたボンディングパッドとしてのバンパであり、35は配線パターンであり、36はスルーホールである。

【0028】ICダイ26は多数の信号入出力用ボンディングパッド26-1と、少なくとも一つの電源用ボンディングパッド26-2と、少なくとも一つの接地用ボンディングパッド26-3を備え、図2では各ボンディングパッドにバンパ33が形成された上で基板25にフェースダウンボンディングされている。

【0029】第一の面状導電体30と第二の面状導電体31で誘電体32を挟んでコンデンサを形成しており、基板25に形成した配線パターン35、ICダイ26を実装した裏面に実装した端子27、28、29の空き領域に形成している。

【0030】本例の半導体装置は、基板両面を導通する複数のスルーホール36を備えた基板25と、該基板25の一方の面に面実装され、上記基板25に設けた配線パターン35に夫々ボンディングパッド26-1、26-2、26-3が接続された少なくとも一つのICダイ26と、該基板25の他方の面に設けた複数の信号入出力端子27と少なくとも一つの電源端子28と少なくとも一つの接地端子29と、該基板25の他方の面にあって該端子27、28、29とスルーホール36を除く上記基板25の空き領域に配設され、少なくとも一つの第一の面状導電体30と第二の面状導電体31で誘電体32を挟んで形成したコンデンサを備えている。前記第一と第二の面状導電体30、31は面状の一部に夫々端子30-1、31-1を設け、該基板25に設けた電源端

子28は第一の面状導電体30の端子30-1と前記基板25に設けたスルーホール36を接続し、該スルーホール36と前記ICダイ26の電源用ボンディングパッド26-2に接続する配線パターン35を接続し、該基板25に設けた接地端子29は第二の面状導電体31の端子31-1と前記基板25に設けたスルーホール36を接続し、該スルーホール36と前記ICダイ26の接地用ボンディングパッド26-3に接続する配線パターン35を接続している。

【0031】このように誘電体32を面状導電体30、31で挟んで重ね合わせて構成したコンデンサの第一の面状導電体30の端子30-1を電源端子28とICダイの電源用ボンディングパッド26-2とを接続する配線パターンに接続したスルーホール36と接続し、前記コンデンサの第二の面状導電体31の端子31-1を接地端子29とICダイの接地用ボンディングパッド26-3とを接続する配線パターンに接続したスルーホール36と接続してバイパスコンデンサとしたものである。

【0032】従って、第1の実施形態と同様に電源電圧に重畳する高周波ノイズをICダイ近傍でバイパスさせることができ、従来例よりも大きな静電容量のバイパスコンデンサや、複数の電源用ボンディングパッドと接地用ボンディングパッドを備えたICダイの夫々の電源用ボンディングパッドと接地用ボンディングパッドの間に該コンデンサを夫々配置形成することができる。

【0033】図3は本発明の第3の実施形態によるピングリッドアレイ形パッケージの断面図である。図3において、25は基板であり、26はICダイであり、27は信号入出力端子であり、28は電源端子であり、29は接地端子であり、夫々端子27、28、29はピン形状をしている。30は第一の面状導電体であり、31は第二の面状導電体であり、32は誘電体であり、第一、第二の面状導電体30、31の間に誘電体32を挟んでコンデンサを構成している。33はICダイ26に設けたボンディングパッドとしてのバンパであり、35は配線パターンであり、36はスルーホールである。

【0034】ICダイ26は多数の信号入出力用ボンディングパッド26-1と、少なくとも一つの電源用ボンディングパッド26-2と、少なくとも一つの接地用ボンディングパッド26-3を備え、図3では各ボンディングパッドにバンパ33が形成された上で基板25にフェースダウンボンディングされている。

【0035】第一の面状導電体30と第二の面状導電体31で誘電体32を挟んでコンデンサを形成しており、基板25に形成した配線パターン35、ICダイ26、端子27、28、29を実装した面の裏面に形成している。

【0036】本例の半導体装置は、基板両面を導通する複数のスルーホール36を備えた基板25と、該基板25の一方の面に前記スルーホール36を除く空き領域に

少なくとも一つの第一の面状導電体30と第二の面状導電体31で誘電体32を挟んで形成され、前記第一と第二の面状導電体30、31の面状の一部に夫々端子30-1、31-1を設けたコンデンサと、該基板25の他方の面に複数の信号入出力端子27と少なくとも一つの電源端子28と少なくとも一つの接地端子29と、少なくとも一つのICダイ26と、該ICダイ26のボンディングパッド26-1、26-2、26-3に接続する配線パターン35を備えたものである。該基板25に設けた電源端子28は前記ICダイ26の電源用ボンディングパッド26-2に接続する配線パターン35と前記基板25に設けたスルーホール36を介して前記コンデンサの第一の面状導電体30の端子30-1と接続し、該基板25に設けた接地端子29は前記ICダイ26の接地用ボンディングパッド26-3に接続する配線パターン35と前記基板25に設けたスルーホール36を介して前記コンデンサの第二の面状導電体31の端子31-1と接続したものであり、該コンデンサはバイパスコンデンサとして機能し、第1の実施形態と同様に電源電圧に重畳する高周波ノイズをICダイ近傍でバイパスさせることができ、ICダイ26、配線パターン35、端子27、28、29を配した基板25の面の裏面全面に該コンデンサを形成できるので、従来例よりも大きな静電容量のバイパスコンデンサや、複数の電源用ボンディングパッドと接地用ボンディングパッドを備えたICダイの夫々の電源用ボンディングパッドと接地用ボンディングパッドの間に該コンデンサを夫々配置形成することができる。

【0037】図4は本発明の第4の実施形態によるボールグリッドアレイ形パッケージの断面図である。図4において、基板25と、この基板25上に配設され、面状の一部に夫々端子30-1、31-1を有する第一と第二の面状導電体30、31で誘電体32を挟んで形成した少なくとも一つのコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子27-1と複数の第二の信号入出力端子27-2と該第一と第二の信号入出力端子27-1、27-2を接続する配線パターン35と少なくとも一つの第一の電源端子28-1と少なくとも一つの第二の電源端子28-2と少なくとも一つの第三の電源端子28-3と該第一と第二と第三の電源端子28-1、28-2、28-3を接続する配線パターン35と少なくとも一つの第一の接地端子29-1と少なくとも一つの第二の接地端子29-2と少なくとも一つの第三の接地端子29-3と該第一と第二と第三の接地端子29-1、29-2、29-3を接続する配線パターン35とを有し、複数の信号入出力用ボンディングパッド26-1と少なくとも一つの電源用ボンディングパッド26-2と少なくとも一つの接地用ボンディングパッド26-3を有するICダイ26を開口部38を有するキャリアフィルム37の該開口部38に少

なくとも一つ実装したTABパッケージを備えており、該キャリアフィルム37に設けた第二の信号入出力端子27-2は前記ICダイ26の信号入出力用ボンディングパッド26-1に接続し、該キャリアフィルム37に設けた第二の電源端子28-2は前記ICダイ26の電源用ボンディングパッド26-2に接続し、該キャリアフィルム37に設けた第二の接地端子29-2は前記ICダイ26の接地用ボンディングパッド26-3に接続し、該キャリアフィルム37に設けた第三の電源端子28-3は前記第一の面状導電体30の端子30-1と接続し、第三の接地端子29-3は前記第二の面状導電体31の端子31-1と接続したものである。

【0038】図4ではキャリアフィルム37に設けた第一の信号入出力端子27-1と第一の電源端子28-1と第一の接地端子29-1は、夫々球形状でキャリアフィルム37の該コンデンサを重ね合わせた面と反対の面に格子状に配置して、面実装を可能にしているが、ピン形状にしてコネクタ実装が出来るようにしてもよい。

【0039】前記コンデンサは基板25の一方の面に第一の面状導電体30、誘電体32、第二の面状導電体31の順に印刷、スパッタ、蒸着等の工法で形成し、基板25は材厚が数十ミクロン〜数ミリメートルのポリイミド、エポキシ、フェノール等の樹脂材料を用いた電氣的な絶縁性を持つものであり、略1ミリメートル以上の材厚のものはTABパッケージを重畳接続した際の補強板の機能を持つ。

【0040】第二の面状導電体31は、第一の接地端子29-1に接続しているのので、第二の面状導電体31と配線パターン35がキャリアフィルム37を介して対向したマイクロストリップ構造となり、配線パターン35に流す信号の帯域を高周波領域まで広げる事ができる。

【0041】図5は本発明の第5の実施形態によるボールグリッドアレイ形パッケージの断面図である。図5において、補強板39にて補強された基板25と、この基板25上に配設され、面状の一部に夫々端子30-1、31-1を有する第一と第二の面状導電体30、31で誘電体32を挟んで形成した少なくとも一つのコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子27-1と複数の第二の信号入出力端子27-2と該第一と第二の信号入出力端子を接続する配線パターン35と少なくとも一つの第一の電源端子28-1と少なくとも一つの第二の電源端子28-2と少なくとも一つの第三の電源端子28-3と該第一と第二と第三の電源端子28-1、28-2、28-3を接続する配線パターン35と少なくとも一つの第一の接地端子29-1と少なくとも一つの第二の接地端子29-2と少なくとも一つの第三の接地端子29-3と該第一と第二と第三の接地端子29-1、29-2、29-3を接続する配線パターン35とを有し、複数の信号入出力用ボンディングパッド26-1と少なくとも一つの電源



用ボンディングパッド26-2と少なくとも一つの接地用ボンディングパッド26-3を有するICダイ26を開口部38を有するキャリアフィルム37の該開口部に少なくとも一つ実装したTABパッケージを備えており、該キャリアフィルム37に設けた第二の信号入出力端子27-2は前記ICダイの信号入出力用ボンディングパッド26-1に接続し、該キャリアフィルム37に設けた第二の電源端子28-2は前記ICダイ26の電源用ボンディングパッド26-2に接続し、該キャリアフィルム37に設けた第二の接地端子29-2は前記ICダイ26の接地用ボンディングパッド26-3に接続し、該キャリアフィルムに設けた第三の電源端子28-3は前記第一の面状導電体30の端子30-1と接続し、第三の接地端子29-3は前記第二の面状導電体31の端子31-1と接続し、補強板39と前記TABパッケージで前記基板25に配設したコンデンサを挟んで配置したものである。

【0042】本例では、基板25に材厚が略数十ミクロン〜数百ミクロンのポリイミドフィルムを用い、補強板39はAl、Cu等の金属板を用いて基板25を絶縁層として介在させて、第一の面状導電体30と第二の面状導電体31の端子30-1、31-1が金属板を用いた補強板39を介した電氣的短絡を防ぐとともにICダイ26の発熱を低い熱抵抗で放熱させるものである。

【0043】基板25は補強板39にポリイミド、エポキシ等の樹脂材料をスピンコート、フローコート、印刷等の工法で形成してもよく、補強板39がAlの場合はアルマイト処理工法で絶縁層を実現する事も出来る。

【0044】尚、前記した実施形態において、一層の誘電体層を二枚の面状導電体で挟んだ単層構造のコンデンサで説明したが、多層構造化することで、より広帯域のノイズ吸収が可能である。

【0045】また、ICダイの実装は、フェースダウンボンディングの例で説明したが、フェースアップボンディングとワイヤーボンディングでも本特許の意図と効果は同じである。

【0046】

\*

\*【発明の効果】以上のように本発明によれば、集中定数型のコンデンサを多種多数実装することなく広帯域のノイズを吸収できるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態によるピングリッドアレイ形パッケージの断面図

【図2】本発明の第2の実施形態によるボールグリッドアレイ形パッケージの断面図

【図3】本発明の第3の実施形態によるピングリッドアレイ形パッケージの断面図

【図4】本発明の第4の実施形態によるボールグリッドアレイ形パッケージの断面図

【図5】本発明の第5の実施形態による基板に金属板を用いたホールグリッドアレイ形パッケージの断面図

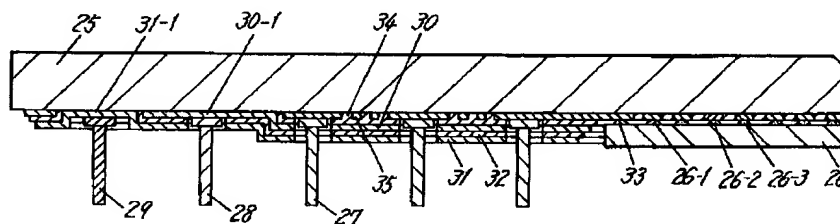
【図6】従来の高速マイクロプロセッサ用ピングリッドアレイ形セラミックパッケージの斜視図

【図7】ICダイ上にコンデンサを搭載した半導体装置の断面図

【符号の説明】

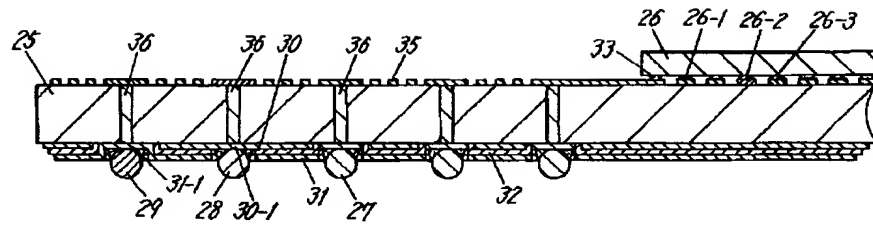
- 25 基板
- 26 ICダイ
- 26-1 信号入出力用ボンディングパッド
- 26-2 電源用ボンディングパッド
- 26-3 接地用ボンディングパッド
- 27, 27-1, 27-2 信号入出力端子
- 28, 28-1, 28-2, 28-3 電源端子
- 29, 29-1, 29-2, 29-3 接地端子
- 30, 31 面状導電体
- 32 誘電体
- 33 バンプ
- 34 絶縁層
- 35 配線パターン
- 36 スルーホール
- 37 キャリアフィルム
- 38 開口部
- 39 補強板

【図1】

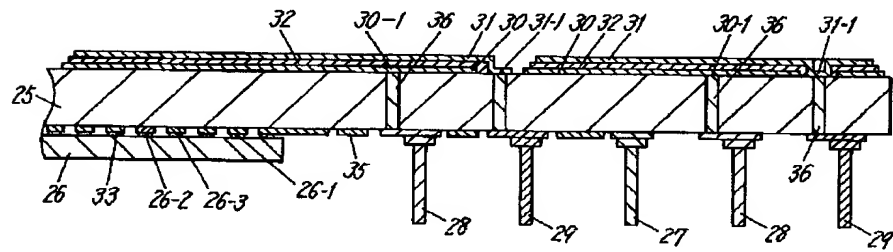




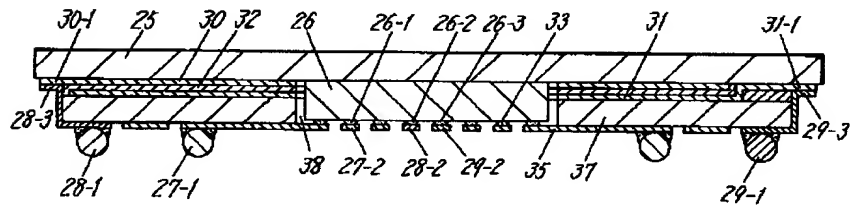
【図2】



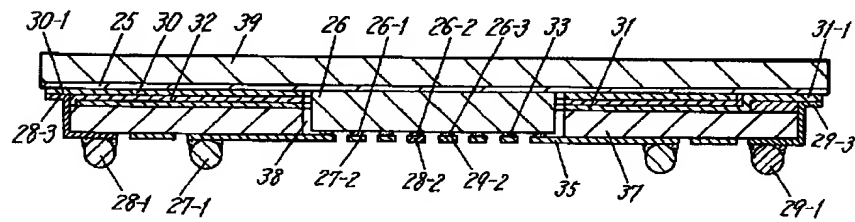
【図3】



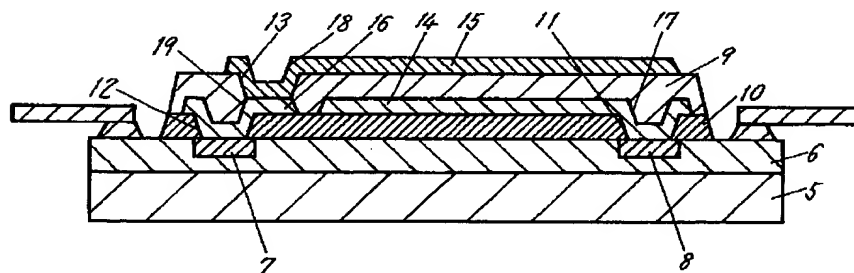
【図4】



【図5】



【図7】



【図6】

